

基于边沿延时翻转的绑定前硅通孔测试方法

倪天明¹, 常 郝², 卞景昌³, 易茂祥³, 梁华国³, 黄正峰³

(1. 安徽工程大学电气工程学院, 高端装备先进感知与智能控制教育部重点实验室, 安徽芜湖 241000;
2. 安徽财经大学计算机科学与技术系, 安徽蚌埠 233030; 3. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

摘 要: 硅通孔(Through-Silicon Via, TSV)在制造过程中发生开路和短路等故障会严重影响3D芯片的可靠性和良率,因此对绑定前的TSV进行故障测试是十分必要的. 现有的绑定前TSV测试方法仍存在故障覆盖不完全、面积开销大和测试时间大等问题. 为解决这些问题,本文介绍一种基于边沿延时翻转的绑定前TSV测试技术. 该方法主要测量物理缺陷导致硅通孔延时的变化量,并将上升沿和下降沿的延时分开测量以便消除二者的相互影响. 首先,将上升沿延时变化量转化为对应宽度的脉冲信号;然后,通过脉宽缩减技术测量出该脉冲的宽度;最后,通过触发器的状态提取出测量结果并和无故障TSV参考值进行比较. 实验结果表明,本文脉宽缩减测试方法在故障测量范围、面积开销等方面均有明显改善.

关键词: 3D芯片; 硅通孔测试; 开路故障; 短路故障

中图分类号: TP306.2 **文献标识码:** A **文章编号:** 0372-2112(2019)11-2278-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2019.11.006

An Edge Transition Delay Based Pre-Bond TSV Testing Method

NI Tian-ming¹, CHANG Hao², BIAN Jing-chang³, YI Mao-xiang³, LIANG Hua-guo³, HUANG Zheng-feng³

(1. Key Laboratory of Advanced Perception and Intelligent Control of High-end Equipment, Ministry of Education,
College of Electrical Engineering, Anhui Polytechnic University, Wuhu, Anhui 241000, China;

2. Department of Computer Science and Technology, Anhui University of Finance and Economics, Bengbu, Anhui 233030, China;

3. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: Through-Silicon Via (TSV) is prone to introduce resistive open and leakage faults during the manufacturing process, which will seriously affect the reliability and yield of 3D chips, so the pre-bond TSV testing seems necessary. Existing pre-bond TSV testing methods still have some problems, such as incomplete fault coverage, large area overhead and large testing time. To tackle these problems, an edge transition delay based pre-bond TSV testing method is proposed in this paper. This method mainly measures the variation of TSV delay caused by physical defects, and separates the rising and falling edges to eliminate the interaction between them. Firstly, the variation of rise-time delay is transformed into a pulse signal with corresponding width; then, the pulse width is measured by pulse width reduction technology; finally, the measurement results are extracted by the state of trigger and compared with the reference value of fault-free TSV. The experimental results show that the proposed method performs better than the existing methods in terms of fault coverage, and area overhead.

Key words: 3D Chip; TSV(Through-Silicon Via) testing; open fault; leakage fault

1 引言

基于硅通孔的3D芯片利用TSV在垂直方向上将多个堆叠的晶片进行互连,支持更高的带宽、支持更低的片间通信功耗以及支持异构集成,被认为是下一代

芯片设计的主流方向^[1]. 由于当前制造工艺的不成熟,在芯片制造过程中TSV极易出现各种故障缺陷,其中最主要的是开路故障和短路故障^[2]. 作为3D芯片层与层之间互连通信的关键元件,TSV的故障缺陷将直接影响到芯片的良率和性能. 为了保证3D芯片的良率,TSV

收稿日期:2019-01-18;修回日期:2019-03-04;责任编辑:马兰英

基金项目:国家自然科学基金(No. 61904001, No. 61874156, No. 61704001);安徽省自然科学基金(No. 1908085QF272, No. 1808085QF196);安徽省教育厅高校自然科学研究重点项目(No. KJ2019A0163, No. KJ2016A001)安徽工程大学科研启动基金(No. 2018YQQ007)

的故障检测显得尤为重要。

Franzon P 提出了电容桥的测试方法,实现了短路故障和开路故障的测试^[3]. Chen 等人提出一种基于敏感放大器的方法^[4],利用敏感放大器测量 TSV 的电容性故障. Natale G D 提出一种基于放电延时评估的测试方法^[5]. Yu-Hsiang 等人提出基于充电浮空等待采样 (CAF-WAS) 的 TSV 短路故障测试方法^[6]. Shi-Yu Huang 在后期增加了泄漏测试集并引入 PLL 辅助测试电路^[7]. Li-Ren Huang 等人提出基于环形振荡器的方法^[8,9]. Deutsch Sergej 提出多电压测试和占空比测试^[10],一定程度上扩大了检测范围和精度,但该方法仍不能很好的对弱泄露故障进行测试. Rashid Rashidzadeh 等人提出利用延时锁相环 (Delay-Locked Loop) 去测试 TSV 故障的方法^[11,12]. Daniel Arumí 等人提出使用非平衡电路的状态检测 TSV 的故障^[13,14]. Chang^[15]采用脉宽缩减技术对 TSV 测试进行相关研究,发现和反相器带来的脉宽缩减类似,固定宽度的脉冲经过 TSV 后也会发生变窄或展宽的现象,并且开路故障和短路故障对 TSV 脉冲宽度的影响恰好相反,但是开路故障带来脉冲宽度的变化和无故障时的变化是相差很小而难以测试。

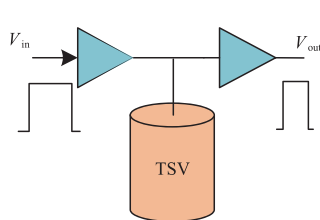


图1 脉冲通过TSV传播示意图

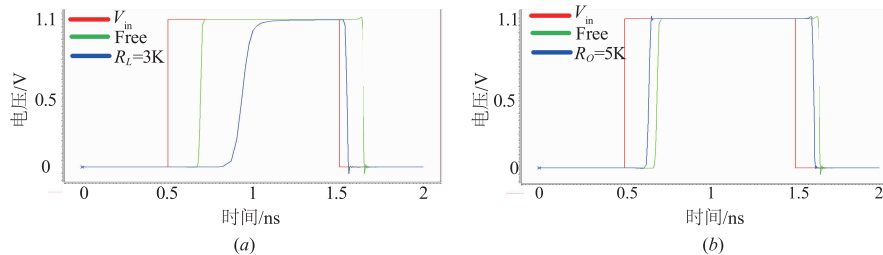


图2 输入信号 V_{in} 脉冲宽度变化 (a) 短路故障: $R_t=3k\Omega$; (b) 开路故障: $R_o=5k\Omega$

相比于短路故障,开路故障对脉冲宽度有不同的影响. TSV 被开路电阻 R_o 分割成两部分,充电和放电的时间都会变得更短.这是因为 TSV 被分成两部分,只有靠近上部端口的部分才对其充放电起较大影响,另一部分所起作用有限.因此,开路故障时上升沿时间 Δt_r 和下降沿时间 Δt_f 都是减小的.当 Δt_r 和 Δt_f 同时减小时,最终脉冲宽度的变化就会相对微弱.研究发现当发生若开路故障(开路电阻较小)时,开路故障带来脉冲宽度的变化和无故障时的变化是相差很小甚至可以忽略不计的.图 2(b) 所示为开路电阻 R_o 为 $5k\Omega$ 时的仿真波形,上升时间 $\Delta t_r = 49ps$,下降时间 $\Delta t_f = 37ps$,最终脉冲信号宽度减少了 $\Delta t_r - \Delta t_f = 12ps$.可以发现其实上升时间和下降时间的变化都比脉宽的变化要更大,也就意味着单独上升时间和下降时间更容易测量出来。

为了解决上升时间和下降时间在一起会相互抵消导致难以测试的情形,文献[10]中提出使用在环形振荡器方法的基础上增加占空比测试的方法.而本文将

为了解决上升时间和下降时间在一起会相互抵消导致难以测试的情形,本文将使用边沿延时翻转的思想(上升时间和下降时间分开测试)解决此类问题.分别把上升时间和下降时间转换成对应宽度的脉冲信号,然后再使用脉宽测量电路得到其宽度. TSV 发生不同故障时,该时间间隔或者说异或门输出脉冲的宽度是不一样的,据此可以诊断 TSV 的故障。

2 TSV 脉宽分析

脉冲经过 TSV 传播之后其宽度会发生变化,如图 1 所示,脉冲宽度的变化是由脉冲信号的上升沿和下降沿产生变化的差异引起的.对于短路故障,由于泄漏电阻 R_t 的存在,对 TSV 的充电(由“0”到“1”的过程)变得更缓慢,相反 TSV 的放电(由“1”到“0”的过程)会变得更快速.也就是说相对无故障的 TSV,短路故障 TSV 会使上升沿从驱动反相器的输入端到接收反相器的输出端的时间增加 Δt_r ,而下降沿的时间减少 Δt_f .如图 2(a) 所示为驱动反相器、短路故障 TSV ($R_t = 3k\Omega$) 和接收反相器的仿真波形,可以看出上升沿时间增加和下降沿时间减少,二者共同作用的结果是脉冲宽度大大减小。

使用边沿延时翻转的思想(上升时间和下降时间分开测试)解决此类问题。

3 本文的解决方案

为把上升时间和下降时间分开测量,本文设计了如图 3 所示的脉冲信号产生电路.利用该电路可分别把上升时间和下降时间转换成对应宽度的脉冲信号,然后再使用脉宽测量电路得到其宽度.例如,当上升沿信号 V_{in} 进入电路后,信号沿上下两条路径传播,上下路信号到达异或门输入端的时间会存在一定的时间间隔,异或门会将该时间间隔转换为对应宽度的正向脉冲信号. TSV 发生不同故障时,该时间间隔或者说异或门输出脉冲的宽度是不一样的,据此可以诊断 TSV 的故障.下降沿的测试和上升沿是类似的,故不再详细描述.这样就可以实现上升沿和下降沿分离测试的目的。

本文提出的 TSV 故障测试方法主要是针对故障引起 TSV 固有延时变化的测量,如图 4 所示为本文方法

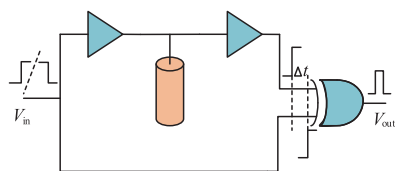


图3 上升时间或下降时间转换为脉冲

的完整测试电路. 测试电路由脉宽产生电路和脉宽测量电路两部分构成.

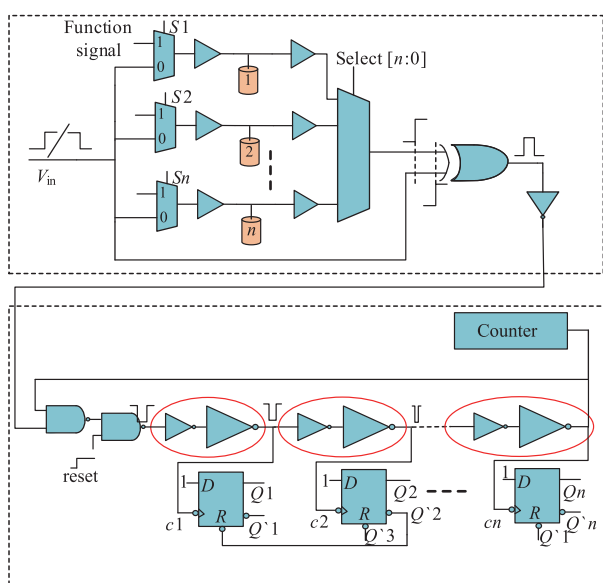


图4 基于改进脉宽缩减的TSV测试结构

为了优化脉宽测量电路的资源利用率,在脉宽产生电路中使用了多 TSV 可选择的技术. 通过在前后增加多路选择器对不同待测 TSV 进行分别选择测量,即当需要测量 TSV1 时选通 TSV1 所在路径上的多路选择器,是该路径连接成功到异或门输入端. 信号 $S_1 \dots S_n$ (测试使能)控制前面的多路选择器对测试模式下的测试信号和正常工作模式下的功能信号进行选择,正常工作模式时, $S_1 = S_2 = \dots = S_n = 1$,所有多路选择器都选择来自功能电路的信号连接到对应的 TSV. 当对 TSV1 进行测试时, $S_1 = 0, S_2 = \dots = S_n = 1$,而后面多路选择器的 $Select[n:0]$ 控制 TSV1 连接到异或门的输入端. 最终,异或门会输出相应的脉冲信号到后面的脉宽测量电路.

脉宽测量电路是在文献[15]中电路的基础上进行了改进,如图4所示. 把原来的或门和与门换成了两个相同尺寸的非门,这样可以更好的控制测试电路以及确保脉冲信号在经过这里时宽度不会发生任何变化. 可循环的缩减单元链同样是由串联的缩减单元组成,每个缩减单元对脉冲的缩减量即是本文测试方法的测试分辨率. 每一级缩减单元的输出都连接到一个 D 触发器的时钟端, D 触发器的数据端初始全部设为

“1”. 改变了 D 触发器的复位方式,将后一级触发器的反向输出端连接至前一级的复位端. 这样当信号传到后一级并触发其 D 触发器时,可以及时的复位前面的触发器,该设置可以使最终数据的读取更加简单易行. 计数器仍是用来记录脉冲信号在缩减单元链中循环的次数,最终计数器的值和 D 触发器的值会被按照式(1)换算为数字码:

$$Digital_code = Nc * Ns + Nd \quad (1)$$

其中, Nc 表示计数器的计数值; Ns 表示缩减单元链的长度(即缩减单元链由多少级缩减单元组成); Nd 表示前面被触发为 1 的 D 触发器的级数.

经过进一步使用式(2)计算可以得到对应脉冲信号的具体宽度, $offset$ 是由于 D 触发器存在建立保持时间所带来的固有偏移量.

$$Delay = Digital_code * resolution + offset \quad (2)$$

4 实验结果与分析

为了验证所提脉宽缩减方法的可行性和可靠性,下面将通过实验结果进行详细的分析. 使用 HSPICE 仿真工具在 45nm 工艺下进行实验,工艺模型使用 45nm PTM(predictive technology model) CMOS 工艺^[16]. 实验电路中缩减单元链由 25 级缩减单元组成,分辨率为 7ps. 缩减单元中前一个反相器的 PMOS 尺寸为 200nm/50nm, NMOS 尺寸为 50nm/50nm. 后一个反相器 PMOS 尺寸为 100nm/50nm, NMOS 尺寸为 50nm/50nm. TSV 前面的驱动 BUFF 使用了 Nangate 45nm 开源标准单元库^[17]中的 BUF_X4 类型,电路中其它单元均使用 X1 类型. 参考电压 $VDD = 1.1V$, $C_{tsv} = 59fF$.

4.1 开路故障测试

实验中设定所有开路故障的位置均位于 TSV 中间,即 $x = 0.5h$, h 指 TSV 的高度. 无故障 TSV 的标准电容为 59fF. 实验选取的开路电阻从 0k Ω (无故障)到 20k Ω (强开路故障,等价于全开路).

图5分别给出了不同开路电阻对应上升沿测试和下降沿测试的输出数字码. 和之前的理论分析一致,随着开路电阻的增加,脉宽测量结果对应的数字码逐渐减小. 从图中可以看到当开路电阻大于 14k Ω 时,上升沿测试和下降沿测试结果都不再变化,这意味着此时 TSV 已经等效发生了全开路故障. 而当开路电阻小于 0.4k Ω 时,其带来的延时变化小于 7ps 已经不能测量,这表示此时开路故障非常小几乎可以忽略不计.

为了验证上述测量结果是否准确,使用式(1)将实验所得数字码转换成具体延时(仿真值). 图6将仿真所得的延时大小和实际的延时大小进行了比较,结果如图所示. 可以观察到仿真结果对应的曲线和实际的理论曲线十分吻合,统计结果表明实验结果和实际值

的平均绝对误差为 1.2%,最大误差也仅有 3.1%.

4.2 短路故障测试

短路故障测试和上述开路故障使用同样的实验方法,实验选取的泄漏电阻从 0kΩ(完全泄漏)到 100kΩ(弱短路故障,近似为无故障).

图 7 为上升沿测试和下降沿测试的数字码结果.可以看出对于上升沿测试来说,随着泄漏电阻的增加

其测量结果由 58 逐渐较小至 21. 这是和开路故障上升沿测量结果相反的,据此可以诊断出 TSV 是发生开路故障还是短路故障. 而对于下降沿测试,随着泄漏电阻的增加测量结果由 6 逐渐增大到 20. 其实当泄漏电阻小于 3kΩ 时,TSV 端点处的电压就会被始终下拉成低电平. 而当泄漏电阻接近 100kΩ 后,泄漏电流已经非常小几乎不存在.

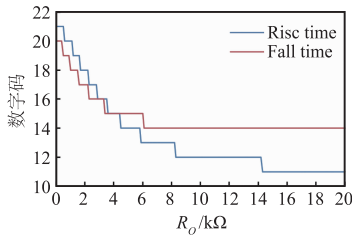


图5 开路故障上升/下降时间测量数字码

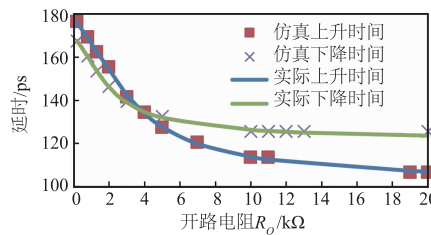


图6 开路故障仿真结果和真实值比较

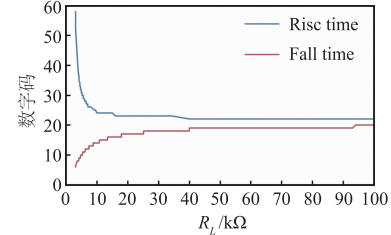


图7 短路故障上升/下降时间测量数字码

同样使用式(1)将实验所得数字码转换成具体延时(仿真值). 图 8 仿真所得的延时大小和实际的延时大小进行了比较,结果如图所示. 可以观察到仿真结果对应的曲线和实际的理论曲线十分吻合,统计结果表明实验结果和实际值的平均绝对误差为 1.4%,最大误差也仅有 3.3%.

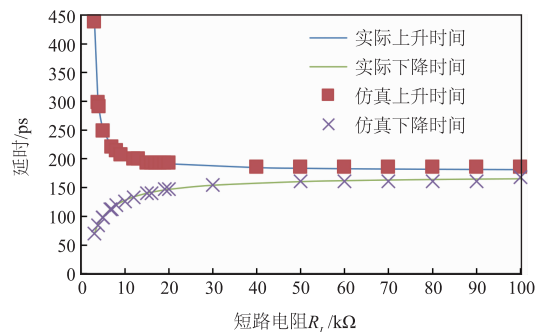


图8 短路故障仿真结果和真实值比较

4.3 多故障测试

现有的很多测试方法都没有考虑开路故障和短路故障同时存在的情形,实际上当两种故障同时出现时

所带来的影响是十分复杂的. 根据第 2 节的分析,开路故障和短路故障对下降沿的影响是类似的,而对上升沿的影响是相反的. 这就将直接导致所有未将上升沿和下降沿分开测试的方法不能很好的测试两种故障同时存在的情形. 因此对于多故障的测试,本文方法在把上升沿和下降沿测试分开后,上升沿测试的结果将不再可靠,但下降沿测试的结果却可以直接反映多故障的存在.

图 9 出了两种开路故障和短路故障同时存在的 TSV 电气模型. 其中,模型 1 表示开路故障发生在短路故障的上方,相反模型 2 中开路故障位于短路故障的下方. 使用这两个模型,对不同的开路故障和短路故障进行了测试. 图 10(a)是基于模型 1 的上升沿测试结果,对应的下降沿测试结果如图 10(b)所示. 同样基于模型 2 的测试结果分别见图 11(a)和图 11(b). 所有的测试所得数字码均已换算为测量延时值.

由图 10(a)和图 11(a)可以看出,两种故障模型的上升沿测试结果都有出现和无故障 TSV 延时交叉的点,也就是说对于上升沿测试由于两种故障影响的相

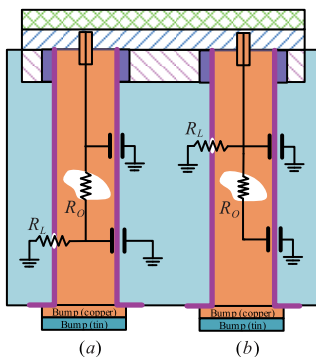
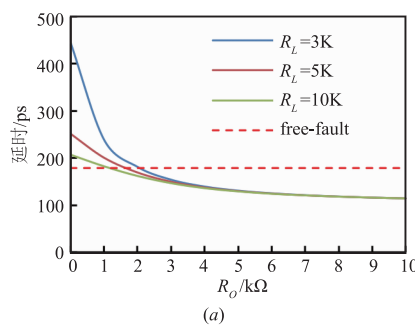
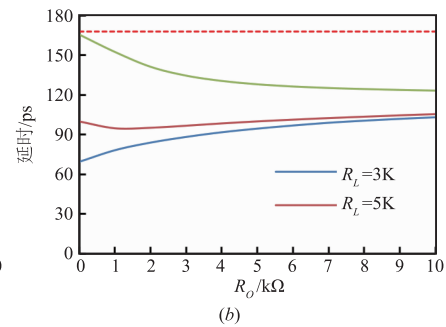


图9 包含短路和开路故障的TSV缺陷模型 (a) 模型1; (b) 模型2



(a)



(b)

图10 双故障模型1 TSV延时 (a)上升时间; (b)下降时间

互消减可能导致无法和无故障的结果进行区分. 而由图 10(b) 和图 11(b) 可以明显看出, 对于下降沿测试其

测量结果都是小于无故障值的. 因此可以依据下降沿的测试结果诊断出两种故障同时存在的情况.

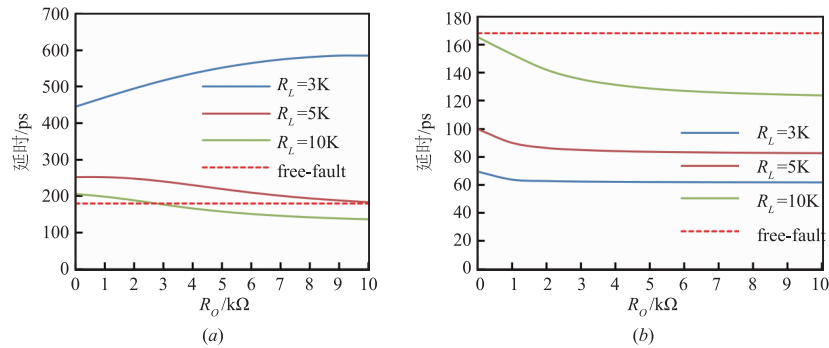


图11 双故障模型2 TSV延时 (a)上升时间; (b)下降时间

4.4 测试时间与面积比较

本文提出的测试电路和所有实验一样对面积开销的评估也将参考 Nangate 45nm 开源标准单元库^[17]中给出的面积参数进行. 测试电路总的面积开销统计如表 1 所示, 列出了整个测试电路使用的全部标准单元及其个数. 如结果可知, 总的面积开销为 $242.858\mu\text{m}^2$. 假设使用 16 个 TSV 共享一个脉宽测试电路, 则每个 TSV 等效占用的面积开销仅为 $15.18\mu\text{m}^2$.

最终将现有的其他 TSV 测试方法和本文方法从电路类型、不同故障的测试范围、面积开销进行了全面的对比, 结果如表 2 所示. 为了公平的在不同测试方法间进行比较, 使用了同样的评估方式去计算其他测试结构的面积开销. 由表格中结果可以看出, 在故障诊断能力上, 本文方法和文献[10]中方法明显优于其他测试

方案, 尤其是对多故障的测试. 而和文献[10]相比, 本文方法的面积开销减少了 25%; 可测的故障范围也更大.

表 1 面积开销

| Gate | Number | Layout Area (μm^2) |
|--------------------------------|--------|---------------------------------|
| INVERTER(X1, X4) | 51 | 0.532 |
| NAND | 2 | 0.798 |
| MUX2_1 | 16 | 1.862 |
| MUX16_1 | 15 * | 1.862 |
| BUF(X1, X4) | 32 | 0.798 |
| XOR | 1 | 1.596 |
| DFF | 27 | 4.788 |
| Total Area (μm^2) | | 242.858 |

表 2 比较 TSV 测试方法

| BIST Proposal | Concept | Circuit Type | R_0 | R_L | Dual | Area (μm^2) |
|---------------|---------------------|--------------|--------------------|---------------------|------------|--------------------------|
| [2]'09 | Leakage current | Analog | undetected | $\sim M\Omega$ | undetected | 12 |
| [4]'10 | Sense Amplification | Analog | detected | detected | undetected | 10 |
| [9]'13 | Oscillation | Digital | 5 ~ 100K Ω | 5 ~ 20K Ω | undetected | 49 |
| [7]'14 | CAF-WAS | Digital | undetected | 50K ~ 4M Ω | undetected | 92.7 |
| [10]'15 | Oscillation | Digital | 0.5 ~ 5K Ω | 2.5 ~ 20 K Ω | detected | 20 |
| This work | Pulse shrinking | Digital | 0.4 ~ 20K Ω | 3 ~ 100K Ω | detected | 15.18 |

5 结论

本文提出了新的基于脉宽缩减机制的绑定前 TSV 测试方法, 目标是在芯片制造的早期发现有缺陷的裸片从而保证产品良率和降低制造成本. 本文所提的测试方法可以实现开路故障、短路故障以及多故障的精确诊断. 首次提出了上升沿测试和下降沿测试分离的方法, 消除了上升沿和下降沿之间的相互影响提高了测试的准确性. 同时解决了多故障测试的难题. 最后, 通过和现有的测试方法进行全面比较后得出本文测试方法在故障覆盖率、测量范围、面积开销几个方面拥有十分突出的优势.

参考文献

- [1] Ingrid De Wolf, Kristof Croes, Eric Beyne. Expected failures in 3-D technology and related failure analysis challenges[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2018, 8(5): 711-718.
- [2] Tsai M, Klooz A, Leonard A, et al. Through Silicon Via (TSV) defect/pinhole self test circuit for 3D-IC [A]. IEEE International Conference on 3d System Integration [C]. San Francisco: IEEE, 2009. 1-8.
- [3] Lou Y, Yan Z, Zhang F, et al. Comparing Through-Silicon-Via (TSV) void/pinhole defect self test methods[J]. Jour-

- nal of Electronic Testing, 2012, 28(1): 27 – 38.
- [4] Chen P Y, Wu C W, Kwai D M. On-chip testing of blind and open-sleeve TSVs for 3D IC before bonding [A]. 2010 28th VLSI Test Symposium (VTS) [C]. Santa Cruz: IEEE, 2010. 263 – 268.
- [5] Natale G D, Flottes M L, Rouzeyre B, et al. Built-in self-test for manufacturing TSV defects before bonding [A]. 2014 IEEE 32nd VLSI Test Symposium (VTS) [C]. Napa: IEEE, 2014. 1 – 6.
- [6] Lin Y H, Huang S Y, Tsai K H, et al. Programmable leakage test and binning for TSVs [A]. 2012 IEEE 21st Asian Test Symposium [C]. Niigata: IEEE, 2012. 43 – 48.
- [7] Huang S Y, Huang L R. PLL-assisted timing circuit for accurate TSV leakage binning [J]. Design & Test IEEE, 2014, 31(31): 36 – 42.
- [8] You J W, Huang S Y, Lin Y H, et al. In-situ method for TSV delay testing and characterization using input sensitivity analysis [J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(3): 443 – 453.
- [9] Huang L R, Huang S Y, Sunter S, et al. Oscillation-based prebond TSV test [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(9): 1440 – 1444.
- [10] Deutsch S, Chakrabarty K. Contactless pre-bond TSV fault diagnosis using duty-cycle detectors and ring oscillators [A]. 2015 IEEE International Test Conference (ITC) [C]. Anaheim: IEEE, 2015. 1 – 10.
- [11] Rashidzadeh R, Jedari E, Supon T M, et al. A DLL-based test solution for through silicon via (TSV) in 3D-stacked ICs [A]. 2015 IEEE International Test Conference (ITC) [C]. Anaheim: IEEE, 2015. 1 – 9.
- [12] Gong Z, Rashidzadeh R. TSV extracted equivalent circuit model and an on-chip test solution [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2016, 35(4): 679 – 690.
- [13] Arumi D, Rodriguez-Montanes R, Figueras J. Pre-bond testing of weak defects in TSVs [A]. 2014 IEEE 20th International On-Line Testing Symposium (IOLTS) [C]. Platja d'Aro: IEEE, 2014. 31 – 36.
- [14] Arumi D, Rodríguez-Montañés R, Figueras J. Prebond testing of weak defects in TSVs [J]. IEEE Transactions on Very Large Scale Integration Systems, 2016, 24(4): 1503 – 1514.
- [15] Hao C, Liang H. Pulse shrinkage based pre-bond through silicon vias test in 3D IC [A]. 2015 IEEE 33rd VLSI Test Symposium (VTS) [C]. Napa: IEEE, 2015. 1 – 6.
- [16] PTM. 45nm Predictive Technology Model [DB/OL]. <http://ptm.asu.edu>. 2013.
- [17] Nangate 45 nm Open Cell Library [DB/OL]. <http://www.nangate.com/openlib>, 2008.

作者简介



倪天明 男, 1991年10月出生, 安徽无为县人, 2018年在合肥工业大学获得工学博士学位, 现为安徽工程大学电气工程学院讲师, 主要研究方向为3D芯片测试与容错技术、容错计算等。

E-mail: timmyni126@126.com



常郝 男, 1983年9月生于安徽寿县, 分别于2007、2015年在合肥工业大学获得工学硕士、工学博士学位, 现为安徽财经大学管理科学与工程系计算机科学与技术系副教授, 硕士生导师, 主要研究方向为3D IC测试技术、内建自测试(BIST)、容错计算等。

E-mail: 007changhao@163.com



黄正峰 (通信作者) 男, 1978年2月出生, 安徽无为县人, 2009年获合肥工业大学计算机应用技术专业工学博士学位, 现为合肥工业大学电子科学与应用物理学院教授, 硕士生导师, 主要研究方向为数字集成电路的硬件容错、星载SoC芯片的抗辐射加固等。

E-mail: huangzhengfeng@139.com